



## 応用物理学会秋季学術講演会 注目講演プレスリリース

2023年 9月 11日

先端ロジックデバイス技術

Advanced CMOS Device Technologies

### 「2ナノ」以降をつくる IBMの先端ロジックデバイス技術

IBM Research

山下典洪

#### 【発表概要】

- FinFETは、3ナノメートルプロセスで限界を迎える
- 3ナノメートルや2ナノメートルのプロセスでは、NS GAA（Nanosheet Gate-All-Around）が採用される。その先の1ナノメートル以降のプロセスにおける技術として、IBMではStacked FETが研究されている
- IBMは、すでに2ナノメートルのナノシート技術による、世界初のチップを開発  
7ナノメートルノードのチップよりも45%高い性能、75%低い消費電力を実現すると予測

2021年、IBMは2ナノ（ナノは10億分の1）メートルのナノシート・テクノロジーによるチップを世界で初めて開発し、脚光を浴びた。また、IBMは「国産2ナノ」の生産を掲げるラピダス（Rapidus）株式会社と戦略的パートナーシップを締結し、2ナノメートルノード技術の技術供与を行うことで知られている。米IBM ResearchのAdvanced Logic Technology、Senior Managerの山下典洪氏が、2ナノメートルノード以降のCMOSデバイスアーキテクチャについて、招待講演を行う。講演では主にFinFET以降におけるデバイスの微細化を支えるトランジスタ技術、とくにナノシート技術のアーキテクチャの優位性およびプロセスインテグレーション技術などが、米IBM Researchの最新の研究成果とともに紹介される予定だ。本プレスリリースでは、講演のイントロダクションをお伝えする。

【詳細】

## トランジスタの絶え間ない進化

近年のAI技術のめざましい発展、進歩し続ける情報端末の利便性は、半導体技術の性能によって実現されている。これらの電子デバイスの頭脳にあたるのがロジック半導体であり、ロジック半導体は、トランジスタと歩みを揃え、進歩し続けてきた。


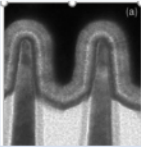
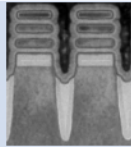
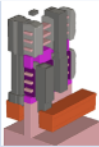
集積回路の微細化においては「ムーアの法則」が広く知られる。半導体業界は、ムーアの法則に従って、単位面積あたりのトランジスタ数を増大させるためにその微細化を進めてきた。この微細化に伴うトランジスタの性能の向上について、1974年にIBMの電子工学者、ボブ・デナードが提唱した「スケーリング則」(※1)もまた、トランジスタが誕生してから有用な法則として機能してきた。しかし、昨今の集積回路の微細化においては、この法則が機能しなくなっているという。

「ボブのスケーリング則はかつて、トランジスタのアーキテクチャにとってまさにガイドラインとなる法則でした。しかし、130ナノメートルプロセスを境に、ボブのスケーリング則はほぼ機能しなくなりました。その理由は、ゲート電極とシリコン基板の間を絶縁する『ゲート酸化膜』がそれ以上の微細化に耐えるほど薄くできないこと、そして微細化に伴って『ゲート長』(※2)が短くなることによって生じる影響『短チャンネル効果』により、トランジスタの性能が大幅に低下することが挙げられます」と山下氏は話す。

山下氏によると、従来のCMOSデバイスの微細化そのものは、2005年頃に実質的には“頭打ち”になっているという。その後はデバイスアーキテクチャ、プロセスの革新、配線の微細化、材料のブレークスルーがデバイスの微細化の限界を少しずつ押し上げ続けている状態だという。

「トランジスタには、2005年においてアーキテクチャのブレークスルーがありました。それが『Planar型トランジスタ』(※3)から『FinFET』(※4)への進化でした。しかし、現在実用化されているFinFETが対応できるのすら、14ナノメートルから4ナノメートルまででしょう。3ナノメートルや2ナノメートルのプロセスでは、『NS GAA (Nanosheet Gate-All-Around)』(※5)が採用されると思われます。さらにその先の1ナノメートル以降のプロセスにおける技術として、IBMでは『Stacked FET』(※6)が研究されています(図1)」(山下)

# Transistor Architecture Innovations

Architecture	Planar	FinFET	Nanosheet	Stacked FET
				
Intrinsic Lg scaling knobs	T <sub>inv</sub> Shallow Junction Channel doping	Thin body(D <sub>fin</sub> ) FD Partial GAA	Thinner body(T <sub>si</sub> ) FD Full GAA	Tinner Body FD Full GAA New channel material
Lg Scaling limitations	$L_{min} \sim (tox, 1/Na, Xj)$ RDF	* $L_{min} \sim (tox, D_{fin})$ D <sub>fin</sub> ~ 5nm	$L_{min} \sim (tox, T_{si})$ T <sub>si</sub> ~ 4nm	$L_{min} \sim (tox, D_{fin})$ T <sub>si</sub> ~ 4nm
Performance advantages		SCE + channel mobility + Weff / FP +	SCE ++ Channel mobility +/- Weff / FP ++	SCE ++ Channel Mobility ++ Weff / FP +++

• D. Frank et al, IEDM 1992

図1 トランジスタのアーキテクチャにおけるイノベーション

- ※1 **ボブ・デナードの「スケーリング則」** トランジスタのゲート長、幅、ゲート酸化膜の厚さ、電圧を "α"倍に拡大すると、チャンネル・ドーピングが "α"増加し、密度、速度（1/遅延）がα<sup>2</sup>向上する。しかし、電力密度は一定であるという則。130ナノメートルノードまでは“黄金ガイドライン”であった。
- ※2 **ゲート長** 電界効果トランジスタ（FET）における、ゲート電極の長さ。
- ※3 **Planar型トランジスタ** ゲートとチャンネルが1つの平面の基板に置かれた、2D構造を持つトランジスタ。
- ※4 **FinFET** 基板に対し、垂直方向に形成されたチャンネルの3つの面を囲むようにゲート電極が配置された「ダブルゲート構造」を特徴とするFET。
- ※5 **NS GAA (Nanosheet Gate-All-Around)** チャンネルの4つの面をすべて囲むようにゲート電極が配置されたトランジスタ。
- ※6 **Stacked FET** トランジスタの構造はGAAと変わらないが、積層することでエリアを半減することができる構造を持つ。積層FET。

## FinFETはなぜ限界に直面するのか？

FinFETは日本人の技術者久本大氏らの研究グループによって発明された技術だ。FinFETのFETは、「電界効果トランジスタ（Field Effect Transistor）」の略称であり、チャンネルを三次元方向からゲート電極で囲う構造を持っている。この構造によって、単チャンネル効果を抑制し、さらなる微細化を実現した。しかしFinFETにも微細化の限界が見えてきているのだという。

「FinFETは、シリコンの膜厚を薄くすることによって、ゲート長を短くすることができます。しかし、シリコンの膜厚がある値以下になると、量子効果によって、トランジスタのしきい値にばらつきが生じはじめることが知られています。さらに、薄くすることで酸化膜とシリコン界面の

影響が強くなり、電子の移動度が大きく下がります。量産を考えると、シリコン膜厚は4ナノメートル前後が最小値であり、これがFinFETの実質的な限界です」（山下）

ナノシートはFinFETのこれらのプロセスの限界を改善し、最小ゲート電極長のさらなる縮小や、同じ回路面積当たりの実効ゲート幅を改善することで、2ナノメートル以降のCMOSデバイスアーキテクチャとして幅広く採用されると考えられるという。

「ナノシートは、ピッチ、パターニング、実効チャンネル幅、最小ゲート電極長など、さまざまな点でFinFETよりも有利だと言えます」と山下氏は話す。FinFETにおけるフィンピッチ、つまり隣接するフィンの間隔は、24ナノメートルほどであるのに対し、ナノシートのピッチは、15ナノメートルと小さい。また、FINはパターニングにおいて、EUV（極端紫外線）を用いたSADP（Self-Aligned Double Patterning）やSAQP（Self-Aligned Quadruple Patterning）といった高度な微細化技術を用いる。一方のナノシートはEUVによるSE（シングル露光）によってパターニングが可能であることから、コストも低い。また、回路のレベルの性能の指標となる「Weff」（実効チャンネル幅：Effective Channel Width）については、FinFETがフィンピッチとフィンの高さに依存するのに対し、ナノシートは4層までの積層が可能だ。さらに最小ゲート電極長は、FinFETが15ナノメートルに対し、ナノシートは12ナノメートルだ。

### 指の爪大のチップに最大で500億個のトランジスタを搭載

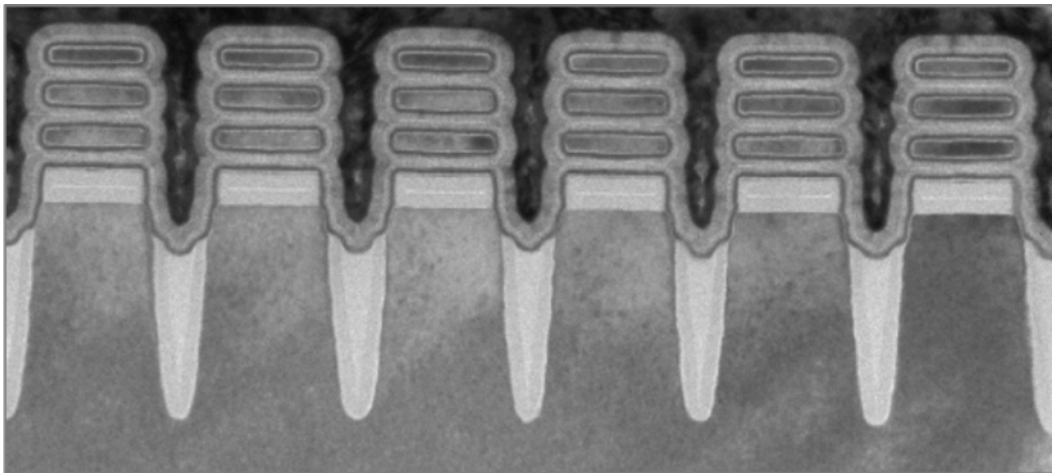


図2 2ナノメートルのナノシート技術による、世界初のチップ（IBM）

IBMは、すでに2ナノメートルのナノシート技術を用いた、世界初のチップを開発・発表している（図2）。

「3層に積層したナノシートの下に、絶縁層を置くことで最小ゲート長を12ナノメートルまで短くすることができ、理想的なデバイスを実現しています。また、より厳密なゲート制御を行うインナースペース・ドライブプロセスを採用したことも特徴です。今日の最先端である7ナノメートル

ノードのチップよりも45%高い性能、75%低い消費電力を実現すると予測されています」（山下）

IBMが開発した2ナノメートルチップは、指の爪ほどの大きさのチップに最大で500億個ものトランジスタを搭載できるようになるという。また、このチップによって、携帯電話のバッテリー寿命は4倍になる。これまで1日に1回だった携帯電話の充電が、4日に1回に伸長されるという身近なイノベーションに加え、世界のエネルギー使用量の1パーセントを占めるデータセンターの二酸化炭素排出量を削減にも大きく貢献するという。