



応用物理学会秋季学術講演会 注目講演プレスリリース

2023年 9月 11日

近接蒸着法により成膜した CaSi_2 の SiH への変換

Formation of SiH from CaSi_2 films fabricated by close-spaced evaporation

先端ロジック半導体の性能向上を握る層状物質の探索 シリカン（ SiH ）の成膜法開発で新たな一歩を記す

山梨大クリスタル研¹, 名大院工²

○高垣 僚太¹, 有元 圭介¹, 山中 淳二¹, 黒澤 昌志², 原 康祐¹

E-mail: g23tz010@yamanashi.ac.jp

【発表概要】

- ・ シリカン（ SiH ）の薄膜形成を、大面積への拡張性が高い方法で実証
- ・ シリカン（ SiH ）への変換において、近接蒸着法による厚膜形成の有用性を確認
- ・ 高品質な薄膜形成を目指すとともに、現在実用化されているFETなどへの応用可能性を模索

スマートフォンをはじめとする情報機器の性能向上において、高性能で低消費電力の半導体は欠かせない。現在、さらに微細化が進む半導体の性能を左右するトランジスタの研究開発が加速している。山梨大学大学院総合研究部附属クリスタル科学研究センターの原康祐准教授、高垣僚太氏（修士1年生）らによる研究グループは、ナノシートチャネルを用いる次世代のトランジスタにおいて高いポテンシャルが期待される層状物質の一種であるシリカン（ SiH ）の薄膜形成を、大面積への拡張性が高い方法で実証した。今後、さらに高品質な薄膜形成を目指すとともに、現在実用化されているFET（Field Effect Transistor）などへの応用の可能性を模索する。

【詳細】

先端ロジック半導体の性能を握る層状物質

昨今のAI技術の進歩や、社会に普及する情報端末の利便性は、高性能で低消費電力の半導体によって支えられている。そして電子情報機器に搭載されているロジック半導体が進歩する上で欠かせないのが、「FET（電界効果トランジスタ）」（※1）の性能向上だ。「ムーアの法則」（半導体の集積密度が1年半～2年で2倍になるという経験則）に従い、FETは微細化されてきた。さらなる集積度向上に向けて研究開発が進められ、最先端では、3次元的な構造を持つ「FinFET」（※2）が実用化されている。現在は「GAA」（※3）構造の開発が進められており、さらに先の世代では「ナノシート（※4）チャンネル」に層状物質を利用することが検討されている。

「半導体で一般的に使われるシリコンは、ナノシート化すると、電子の移動度が低下し、性能が低下することが知られています。とくに5ナノメートル以下の薄さのナノシートでは、急激に移動度が低下します。そこで注目されているのが『層状物質』（※5）です」と原康祐准教授は話す。

層状物質の一例として「遷移金属ダイカルコゲナイド/TMD」と呼ばれる物質群がある。遷移金属原子とカルコゲン原子が共有結合した層が、ファンデルワールス力で積層した構造を持つ。遷移金属ダイカルコゲナイドは、層間の結合が弱く、相互作用が小さい。それゆえに薄いもの、原子数個分の厚さである原子層厚でも、高い電子の移動度を持っているため、将来的なFETのチャンネル材料として期待され、研究が進められてきた。

「私たちは、層状物質の一種である『シリカン（SiH）』（図1）に注目して研究を進めてきました。シリカはシリコン原子からなる二次元物質『シリセン』に水素が結合した層状物質です。原子数個分の厚さである原子層厚でも電子移動度が高いことが期待されています」（原）

※1 **電界効果トランジスタ / Field Effect Transistor (FET)** ゲート電極から生まれる電界で電流の流れを調整する方式を採用した、トランジスタの一形態。そのコンパクトな設計のため、ICの論理回路やセンサー部品など多岐にわたって利用される。電界効果トランジスタ（FET）の一種である「MOSFET」は近年のICの主力デバイスである。

※2 **FinFET** 基板に対し、垂直方向に形成されたチャンネル（ソース〈電流の入口〉とドレイン〈電流の出口〉の間の電流経路のこと）の3面を挟むようにゲート電極が配置された、ダブルゲート構造を持つFET。

※3 **GAA (Gate-all-around)** チャンネルの4面すべてを囲むようにゲート電極が配置された構造のトランジスタ。

※4 **ナノシート** 1～100ナノメートル程度の厚さを持つ二次元ナノ構造体。

※5 **層状物質** 共有結合やイオン結合で構成された層が、ファンデルワールス力によって重なった物質。グラフェンの二次元材料研究から幅広く研究されるようになった。

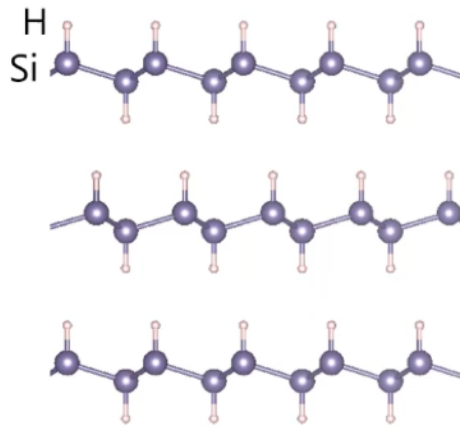


図1 シリカン (SiH) シリコン原子による二次元物質「シリセン」に水素が結合した層状物質

シリカンの理論電子移動度は、 $50 \text{ cm}^2/\text{V} \cdot \text{s}$ 程度。バンドギャップは 2.2 eV 程度とシリコンより高いため、トランジスタのチャンネルに用いるとオフ状態の漏れ電流（リーク電流）を少なくできる可能性が期待されている（低オフリーク電流）。微細化が進む半導体において、オフリーク電流は無視できない問題であるため、低オフリーク電流の素材は大きなアドバンテージになる。また、シリカンはシリコン系の素材であるため、選移金属ダイカルコゲナイドと比べると、シリコン系のテクノロジーとの親和性が高いことが期待できる。「しかし、薄膜作製の報告がほとんどなく、電気特性の実測値が少ないのが現状です。さらに言えば、電子移動度についての報告はまったくと言っていいほどない。そこで十分な面積の薄膜を作り、電気特性を評価すれば、シリカンのFET応用のポテンシャルをより明確にできると考え、実験を行いました」（原）

期待の層状物質シリカンの薄膜形成に成功

シリコンとカルシウムからなる層状構造を持つ「カルシウムシリサイド (CaSi_2)」はシリカンの前駆体とされる。このカルシウムシリサイドをマイナス 30°C で塩酸処理することによってシリカンに変換されることが知られている。実験において重要になるのは薄膜を形成するための手法だった。

同研究室では「バリウムシリサイド (BaSi_2)」の薄膜作製と太陽電池応用において、「真空蒸着法」(*6)の研究を進めている。これまでに毎分約1マイクロメートルの高速な膜の形成、さらにエピタキシャル成長を同時に実現してきた。しかし、真空蒸着法は大規模な膜の形成には適していない。大面積への適用性を持つ新しい方法として開発したのが「近接蒸着法」だ。この手法は、大面積への拡張性とエピタキシャル成長ができ、しかも厚膜ができる。すでにバリウムシリサイドや「カルシウムジャーマナイド (CaGe_2)」などのシリサイド系材料の膜形成が可能であることを実証している。

実験では、近接蒸着法によって作製したカルシウムシリサイドの薄膜を、マイナス30°Cからマイナス40°Cで24時間の塩酸処理（名古屋大学 大学院工学研究科 物質科学専攻 黒澤昌志准教授による）を行い、構造を評価した（図2）。

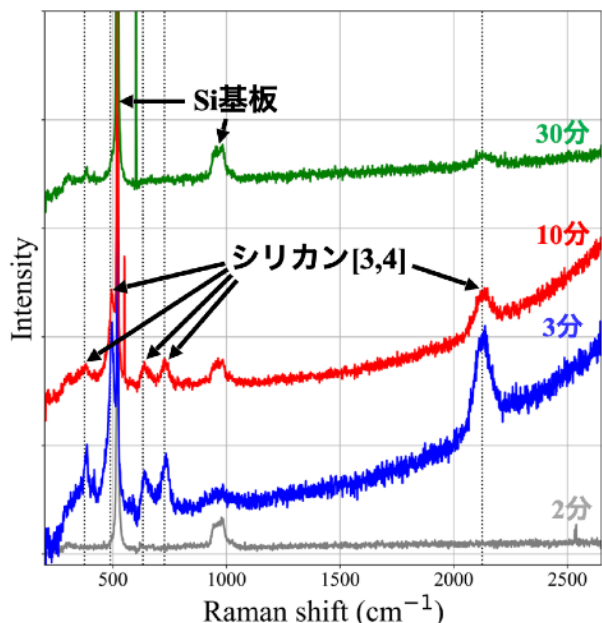


図2 ラマン分光法による評価。成膜温度850°Cで、2分～30分。3分と10分において、シリカン生成によるピークが見られる。

[3] Bradley J. Ryan, et al., ACS Appl. Nano Mater., doi:10.1021/acsanm.3c00001.

[4] Bradley J. Ryan, et al., Chem. Mater. 32, 795-804, (2020)

「結果として、3分と10分の成膜時間をかけたカルシウムシリサイドの薄膜が、シリカンへの変換に成功しました。塩酸処理前の膜厚と、ラマン分光法によって評価した成膜時間3分と10分において確認できるシリカン生成の相関から、シリカンに変換するためにはカルシウムシリサイドの厚い膜が必要であると考えられます。その上で、近接蒸着法が高い効果をもたらしていると言えます。近接蒸着法は、一般的な分子線エピタキシー法（※7）と比較してみると、より厚い膜を作製することができます。この特徴が、シリカンへの変換に成功した大きな要因だと考えられます。さらに、先行研究の理論的見解である、シリカンの末端シリコン原子に結合している水素の数は、1つではない可能性が、この実験からも示唆されます」と測定を行った高垣僚太氏（修士1年生）は話す。

シリカンの物性が特定できれば、FET以外にも応用の可能性が広がる。今後さらに重要度が増す層状物質の探索において、シリカンの成膜法開発で確実な一歩を記した。

※6 真空蒸着法 材料を真空の環境下で加熱して蒸発させ、その蒸気を基板上で固体化し、薄膜を形成する方法。

※7 分子線エピタキシー法 超高真空下において、原料を加熱することによって発生した分子線を基板に到達させることによって結晶を成長させ、薄膜を形成する方法。