

第 71 回応用物理学会春季学術講演会 シンポジウム開催報告

## T15 「スピントロニクス術用技術:トンネル磁気抵抗研究とメモリ応用の最前線」

企画:応用物理学会 スピントロニクス研究会

世話人:野崎友大(産総研), 海住英生(慶応大), 安藤裕一郎(京都大), 野村光(東北大), 新屋ひかり(東京大)

生成 AI の登場により IT 消費電力の爆発的な増大が現実的なものとなり、不揮発メモリ技術も活用した情報処理の低消費電力化が求められている。一方、磁気抵抗メモリ(MRAM)が組み込み用途で量産が始まるなど、スピントロニクス技術のメモリ応用が新たな局面を迎えつつある。基礎研究においても、MRAM の中核をなす磁気トンネル接合素子の磁気抵抗比(TMR 比)の最大値が 15 年ぶりに更新された。このような局面の中で、本シンポジウムでは、MRAM 関連の研究の第一線でご活躍の産学官の先生方にご講演いただき、基礎研究と応用研究の両面から今後の研究開発の展望について議論した。なお、聴講者は会場参加が約 95 名、オンライン参加が約 60 名であり、シンポジウムは大盛況のうちに終えることができた。

### 「MgO 系磁気トンネル接合の基礎と応用」湯浅新治(産総研)

MgO 系磁気トンネル接合技術およびその応用のオーバービューをご講演いただき、スピントロニクスを盛り上げるために産業界・アカデミアがどのように分担・協力できるかについて、既存応用と新規応用の観点からご議論いただいた。また、次世代 MRAM 技術に関する産総研の取り組みとして、SOT-MRAM 向けの新規アモルファス配線材料や電圧駆動 MRAM 向けの基板冷却成膜プロセスなどについてご紹介いただいた。

### 「巨大室温トンネル磁気抵抗比 631%の観測」介川裕章(物質・材料研究機構)

15 年ぶりに TMR 比の最大値が更新された CoFeB/MgO/CoFeB 磁気トンネル接合について、更新に至ったまでの研究開発の道筋と、さらに TMR 比が向上することで期待される応用展開についてご講演いただいた。また最近の取り組みとして、成膜装置の自動化の取り組みや、量産に適した多結晶素子への展開についてもご紹介いただいた。トンネル障壁の界面の精密な制御は新たなステージに入っており、今後のさらなる磁気トンネル接合研究の発展が期待される。

### 「計算・データ科学を用いたトンネル磁気抵抗素子材料の開発」水上成美(東北大)

磁気トンネル接合研究の特に強磁性体層の新しい展開として、準安定相の bcc-CoMn やさらに構成元素が増えた 3 元系 bcc-Co-Mn-Al、bcc-Co-Mn-Fe 系の材料開発についてご講演いただいた。3 元系材料開発

では、ベイズ推定の利用で短期間で 300%を超える大きな TMR 比を達成できたことが示された。加えて、STT-MRAM への応用に向けた bcc-Co-Mn-Fe 系の垂直磁化特性や、それを用いた垂直磁化磁気トンネル接合の発展的な研究についてもご紹介いただいた。データ科学を用いることでスピントロニクス材料開発は今後ますます加速すると考えられる。

#### 「MRAM セルの高性能化プロセス技術」池田正二（東北大）

先端の X nm 世代の CMOS 技術に MRAM を組み込むために、微細化を進めていく上で必要となる高垂直磁気異方性を得るための技術として、CoFeB 磁性層と MgO の界面を増やす多重界面 MTJ 技術についてご紹介いただいた。6 重界面 MTJ を用いることで、25nm $\phi$  の素子でも 260°C で 20 年の記憶保持特性を持つ垂直磁気異方性が得られることが示された。また、東北大学で進めている SOT-MRAM 開発についてもご紹介いただいた。

#### 「スピン軌道トルク型磁気メモリの量産上の技術課題」中田勝之（TDK 株式会社）

エッジ側のデータ分散処理において、時間スケールの違いで生じている待機電力を削減するために、不揮発メモリの利用が期待されている。その中で、書き込みマージンや無磁場下磁化反転という観点から注目している「Type-Y」型の SOT-MRAM の開発についてご紹介いただいた。また、半導体プロセスに適合するスピンホール角の大きな配線材料の開発や、「Type-Z」型におけるバックスイッチング及び無磁場下磁化反転実現という課題の解決がアカデミアへの期待として示された。

#### 「MCU 向け混載 MRAM IP 開発の動向」齊藤朋也（ルネサスエレクトロニクス株式会社）

組み込みメモリ (SRAM および NVM) の現状と今後の市場規模の拡大について概説いただいたうえで、MCU に組み込む MRAM の回路設計による性能向上についてご説明いただいた。MCU への組み込みメモリは、28nm 以降の CMOS 世代では組み込みフラッシュを置き換えて組み込み MRAM が市場をけん引すると予想されるが、読み出し速度の高速化に課題がある。ブースト回路を用いた高速読出しについてご紹介いただいたとともに、書き込みの低消費電力化と読み出し速度にはトレードオフがあり、高速読出しのためには TMR 比を上げるだけでなく、高抵抗状態の抵抗を上げる必要があることについてご説明いただいた。

#### 「大容量 STT-MRAM 向け 14nm $\phi$ 積層記憶層 MTJ 技術」都甲大(キオクシア株式会社)

メインメモリとストレージの性能ギャップを埋めるストレージクラスメモリを実現するための、大容量 MRAM 開発に向けた積層記憶層の研究についてご紹介いただいた。高い磁気異方性を持つ CoPt 層と

CoFeB 層の積層により、14nm  $\phi$  の微細素子でもリテンションと高速書き込みが可能であることが示された。DRAM 置き換えにはさらなる性能向上が求められ、そのための材料開発の重要性も示唆された。