

2015 年 第 76 回応用物理学会秋季学術講演会 分科企画シンポジウム報告 「Ge CMOS はどこまで進んでいるのか」

最先端 LSI デバイスの次世代チャネル材料として、Ge と III-V 材料が注目されており、そのデバイス構造、プロセス技術について、世界中で大いに開発が進められている。本シンポジウムでは、前回、春の応用物理学会で議論した「最先端 CMOS 技術とその将来展望」からさらに一步踏み込み、Ge 材料に注目して、Si に代わって CMOS をベースとする LSI が Ge でどこまで本当に実現されつつあるのかという観点から議論を行うことを目的として、本シンポジウムを企画した。本分科企画シンポジウムは、講演会 初日の 2015 年 9 月 13 日午後に開催され、国内外の第一線で活躍されている講師のみならず、半導体装置メーカーからも講師に参加頂き、Ge デバイスの最先端技術について、プロセス・デバイス技術、集積化技術などを議論した。本シンポジウムには 100 名を超す聴講者が参加し、会場後方には立ち見が見られる盛況ぶりであった。

本シンポジウムでは、イントロダクションとして東大の鳥海先生に、Ge CMOS の可能性につきポジティブなご紹介を頂いた後、各講演を行った。IMEC の Mitard 氏、東芝の手塚氏からは Ge トランジスタ集積技術、東大の Zhang 先生、Lu 氏からはゲートスタック技術、(株)SCRREN の高橋氏からは洗浄と表面処理技術、東京エレクトロン(株)の三好氏からはコンタクト技術、東大の Yu 氏、産総研の倉島氏からは GOI 基板技術の観点から講演頂き、Ge CMOS の実現可能性が議論された。

Mitard 氏の講演では、IMEC での幅広い研究開発データをもとに Ge CMOS の FinFET 適用性と今後の展望が述べられた。pFET(Ge)は pFET(ストレス印加 Si)に比べて高性能化が容易であるが、nFET(Ge)ではコンタクト抵抗等が課題であり、nFET(ストレス印加 Si)に比べて高性能化が難しいこと、トランジスタ構造として FinFET を用いる場合、FinFET 側面部でのゲートスタックが課題であること等が指摘され、議論された。10/7nm 世代では CMOS チャネル材料は Si 及び SiGe で、Ge CMOS については、実用化世代は 5nm 世代以降との予想であった。手塚氏の講演では、Ge CMOS の可能性として、Ge pFET と III-V nFET のデュアルチャネル構造、3 次元化デュアルチャネル構造について議論がなされた。Zhang 先生の講演では、高性能な極薄(<1nm)ゲート絶縁膜を形成する技術として Ge 基板と高誘電率ゲート絶縁膜の界面に GeOx 層を酸素プラズマで形成する手法が示され、議論された。一方、Lu 氏の講演では、Ge デバイスのゲートスタック構造の信頼性について “network strength” という新しいファクターで議論され、Y-GeO₂ が良好な信頼性を有する要因が議論された。高橋氏の講演では、Ge ウェット洗浄技術についてパーティクル除去、金属汚染除去などについて定量的評価が述べられた。コンタクト低抵抗化に重要である NiGe 膜の洗浄では、NiGe と接する Ge の溶解を抑制することが求められており、溶液中の酸素濃度と処理雰囲気中の酸素濃度を一定レベルよりも低く保つことがキーポイントであることが指摘された。三好氏の講演では、Ge CMOS の最大の課題の一つと考えられるメタ

ル/n+-Ge を含むコンタクト技術が議論された。課題であるメタル/n+-Ge コンタクト形成では、n+-Ge 層のレーザー活性化アニールを行うことで充分低いコンタクト抵抗が得られる可能性が示されると共に、そのバラつきなどについて議論された。Yu 氏の講演では、GOI 基板における Ge 貼り合わせ層の界面がキャリア移動度に及ぼす影響が議論された。貼り合わせ面にプラズマ酸化処理を行うことでキャリア移動度が向上することが述べられた。また、倉島氏の講演では、エピタキシャルリストオフ法を用いた GOI 基板形成方法が実験結果をもとに議論された。

Ge CMOS が Si CMOS に置き換わるまでには、コンタクト抵抗、接合リーク、FinFET 構造とした場合のゲートスタックなどの課題が数多く残っている。こうした課題は基礎に戻った研究が必要であり、今後の展開がシンポジウムに参加した聴講者を含めた応用物理学学会の研究者に期待されていると思われる。本シンポジウムでの議論から今後の最先端デバイス研究において新たな展開が広がることを期待したい。

