

# シリコンナノエレクトロニクスの新展開

## 「CMOS デバイス高性能化・特性ばらつき抑制技術の最前線」

東大生研 平本俊郎

### 1. シンポジウムの背景と目的

大規模集積回路を構成する MOS トランジスタは性能向上と集積度向上のため急速に微細化されており、ゲート長はすでに 100nm を下回るナノの領域に入っている。ところが微細化の進展に伴い、単純な微細化のみでは高性能化が技術的に困難になりつつあるのと同時に、特性ばらつき等の諸問題が顕在化しつつある。MOS トランジスタのさらなる高性能化を進めるためには、新たな高性能化技術の導入と特性ばらつき抑制が喫緊の課題である。

平成 18 年度より、文科省科学研究費補助金特定領域研究「シリコンナノエレクトロニクスの新展開—ポストスケールングテクノロジー—」(代表者：名古屋大学財満鎮明教授)が発足し、大学の教員が一丸となって、シリコンナノエレクトロニクスの研究を行っている。その重要テーマが、新材料導入による微細 MOS トランジスタの高性能化と特性ばらつき問題の克服である。本特定領域研究では、定期的に応用物理学会にてシンポジウムを企画することになっており、第 4 回目の今回は「CMOS デバイス高性能化・特性ばらつき抑制技術の最前線」をテーマにシンポジウムを企画した。今回のシンポジウムでは、産業界からの 2 名を含む 8 名の講演者でプログラムを構成し、高性能化と特性ばらつきについて真剣な議論を行った。当日は、大教室に約 150 名の聴衆を集め、問題意識の共有と対応策について有意義な議論が展開された。

### 2. シンポジウム講演内容

まず、本特定領域研究プロジェクトの代表者である名古屋大学の財満鎮明教授が、本シンポジウムの趣旨と特定領域研究の目的について講演し、本シンポジウムの位置づけを明確にした。

続いて、ソニーの若林整氏が「先端 CMOS 高性能化の進展と今後の課題」という題目で講演を行った。若林氏は、国際会議等で発表された各社のデバイスの系統的な比較を行い、ローカル歪み印加とダマシン high-k / metal-gate 技術の優位性を示した。将来の課題として新チャネル材料の導入とエネルギー面密度の抑制を挙げた。次に、早大の大毛利氏が特性ばらつき抑制のためのゲートスタック技術の講演を行い、ゲート金属電極の結晶粒径微小化が特性ばらつき抑制に有効であることを示した。東大の鳥海氏は、Ge チャネルトランジスタの講演を行い、固相界面場制御の重要性を指摘した。九大の宮尾氏は、シリコン系スピントランジスタ実現を目指したスピン注入技術について講演した。

休憩を挟んで後半は、特性ばらつきに関する講演が続いた。まず東大の平本が、デバイスパラメータの異なる MOS トランジスタの特性ばらつきを正規化する手法について紹介した。日立アメリカの手賀氏は、微細トランジスタで離散不純物揺らぎ以上に問題となる可能性のあるランダムテレグラムノイズの統計解析の結果を紹介した。最後に、産総研の昌原氏が、将来の新デバイス構造として期待される FinFET の特性ばらつき要因について講演した。

### 3. 終わりに

将来の MOS トランジスタでは新材料・新構造の導入が進み、従来のデバイス技術では解決できない諸問題が発生してくると思われる。材料科学や物性物理の原点に立ち返った学術研究の重要性がますます高まっている。半導体産業がさらなる発展を遂げるために、各分野間の協調と産官学の連携等により、ますます複雑化する微細 MOS トランジスタの諸問題に真剣に取り組む必要がある。