

半導体プロセス・デバイス・回路のモデリングとシミュレーション

阪大 小田中紳二

本シンポジウムは、春季講演会期間中の3月27日に開催され、9件の発表によって、半導体プロセス・デバイスモデリングから回路シミュレーション技術までの先進的研究が網羅され、参加者と共に熱心な議論がおこなわれた。

その第1は、精密測定手法とTCAD技術を連動させる新たな試みであり、また、プロセスシミュレーションのための基本モデルの構築が議論された。さらに、デバイスモデリングでは、量子ドリフト・拡散モデルの先端デバイスへの適用が議論された。NECからの発表では、ミリ秒アニールによって形成された不純物プロファイルの原子レベルシミュレーションと電子線ホログラフィー断面観察による検証が議論され、MOSFETの最適設計が追及された。モデリングと精密測定評価技術が相互に関連して、今後、新たな技術分野へと進展することが期待される。また、慶応大学とSeleteの共同研究からの発表では、CMOSデバイスのナノスケール微細化に対応するため、不純物の真性拡散係数の見直しや、アモルファス化を引き起こす高濃度拡散現象が調べられた。さらに、東芝は量子ドリフト・拡散モデルによって量子閉じ込め効果の解析を進め、Siナノワイアトランジスタにおける断面形状依存性を明らかにした。量子ドリフト・拡散モデルが次世代デバイス設計モデルとして広く進展していることを伺わせた。

第2には、SRAMや単電子デバイスの基本動作原理をシミュレーションによって追及するとともに、不揮発性メモリーや新構造MOSFETの回路特性をシミュレーションするためのコンパクトモデルの議論が進められた。配線構造を考慮した3次元SRAMシミュレーションが富士通より報告された。65,45,32nmの3つの世代の配線に対して、3次元シミュレーションによって容量を評価し、SRAMアクセス時間を評価した。また、電子ホッピング現象をモデリングして、単電子デバイスの基本動作原理をシミュレーションする試みが東芝より報告された。さらに、今回のシンポジウムの特徴の一つとして、コンパクトモデルに関する研究成果がルネサステクノロジーと広島大学からそれぞれ発表された。ルネサステクノロジーはNOR型フラッシュメモリーや相変化メモリーの物理モデルに立脚したコンパクトモデルを提案している。広島大学からはダブルゲートMOSFETのコンパクトモデルが発表さ

れた。次世代デバイスの実用化に向けて、微細バルクCMOS構造だけでなく、より複雑なデバイス構造のコンパクトモデリングが進んでいる。今後さらに研究が深まっていくことを期待したい。

第3のテーマにおいては、粒子シミュレーションをさらに微細なデバイスに展開していくために必要となる物理モデルを考察するとともに、フルバンド量子輸送シミュレーションの開発が進められた。一つは、MOSFETの微細化に伴って、粒子シミュレーションの精度を向上させるためには高濃度領域での電子輸送モデリングが不可欠であり、筑波大学より縮退電子のクーロン相互作用の検討を行い、パウリの排他原理を組み込むことの重要性が示された。また、Seleteは3次元粒子シミュレーションにおけるポテンシャルの揺らぎの検討がなされた。最後に、強結合近似法を用いてフルバンド構造を取り入れた非平衡グリーン関数法が発表され、結晶方位の異なる極薄ダブルゲートMOS構造における電子輸送現象を理解する試みが大阪大学よりなされた。現実のデバイスを想定することによって、より深い物理的議論がなされたことは興味深く、このようなアプローチによって物理モデルの構築が進むと考えられる。