

第 70 回応用物理学会春季学術講演会シンポジウム開催報告  
T24 「Connection: BEOL からチップレット、そして未来へ」

日時 : 2023 年 3 月 16 日 9:00-12:10

場所 : 上智大学 四谷キャンパス (Hybrid)

主催 : シリコンテクノロジー分科会とエレクトロニクス実装学会との協業シンポジウム

世話人 : 【代表】折井靖光 (Rapidus)、井上史大 (横国大)、松永範昭 (アプライドマテリアルズジャパン)

配線システムおよび先端パッケージング技術は半導体デバイスの性能や電力効率を最大化するための最も重要な技術であり、今日最も期待と注目が集まる技術の一つである。本シンポジウムは、過去から現在そして未来を創る配線技術・先端パッケージング技術について講演いただき、我々が挑むべき課題と方向性について議論することを目的として企画された。プログラムの作成にあたっては、BEOL 配線技術や半導体実装工学の概要、システム設計、パッケージ技術における要素/プロセス技術、そして高速な信号伝送を行うためのパッケージ基板技術など、参加者が先端配線技術・パッケージング技術を網羅的に学べるよう広範な技術領域から第一線の研究者をお招きし講演いただいた。

1) 「BEOL 技術の変遷と最近の動向」(上野和良氏、芝浦工大工)

LSI 配線の微細化に伴う配線遅延とエレクトロマイグレーション信頼性の問題は重要な課題であり、これら問題を克服するための配線技術の変遷について解説された。近年では、配線サイズがナノスケールに近づく中で、電子散乱効果による抵抗上昇や信頼性低下が再び問題となっている。Cu 代替金属や Cu 延命技術さらには Buried Power Rail (BPR) や Backside Power Delivery Network (BSPDN) などの最近の研究開発動向が紹介された。

2) 「半導体実装工学の重要性と先端パッケージング・システム集積の動向」(福島誉史氏、東北大院工)

チップレットやヘテロジニアス・インテグレーション、FOWLP や 2.xD アーキテクチャと呼ばれる三次元実装技術(集積化技術)など多様化する先端半導体パッケージングの実装形態がわかりやすく解説された。また集積化技術だけでなく 3D も含めたパッケージレベル(システム全体)で価値を高める“ホリスティック・システム集積”が重要となってきていることにも言及された。

3) マルチ IP SoC によるドメイン・スペシフィック・アクセラレータの NRE コスト削減  
(大内真一氏、産総研)

電力効率の観点からドメイン・スペシフィック・アクセラレータ(Domain Specific Accelerator, DSA)が集積回路アプリケーションの有力な実装形態の一つとなっている。し

しかし DSA はカスタムチップであるが故に開発コストが高くなるのが課題である。この問題の有望な解決策としてマルチ IP SoC による DSA の NRE コスト低減手法が紹介された。DSA に共通に必要なとされる CPU, DDR, PCIe などプラットフォーム化し、これに含まれる汎用 IP やチップ・パッケージ・基板、並びにソフトウェアなどのコストをシェアするものである。工業用ロボット・建設・農業用機械など中規模量産デバイスのビジネス化のために有力な手法である。プラットフォーム部を再利用可能な単体チップとしてチップレット化するなどの手法に期待。

#### 4) ウエハレベルハイブリッド接合を用いた 3 次元実装技術 (藤野真久氏、産総研)

3D 実装にとって大変重要な接合技術について解説された。絶縁膜同士を接合する Fusion-bonding、Nano-adhesive bonding、Direct bonding、そして Cu と絶縁膜が同一面に露出する面同士を接合する Hybrid bonding 技術について、接合メカニズムと詳細なプロセス技術が紹介された。接合強度や接続不良に関わる技術課題やその解決手法、今後の展望などが述べられた。

#### 5) 3D・チップレット集積のための半導体微細加工技術 (森川泰宏氏、アルバック)

加工寸法が縮小する後工程の中で、従来の前工程用のプロセスを後工程用に最適化して適用する技術開発が重要である。この事例として配線層に低誘電率ポリマーを導入した "RDL Bridge" の層間絶縁膜に対し、世界で初めてプラズマエッチング技術を用いた微細 Via 形成の結果とその有用性が紹介された。

また「チップレット集積プラットフォーム・コンソーシアム」や "Pillar-Suspended Bridge (PSB)" と呼ばれるチップレット集積技術についての紹介、ECTC や SSDM などで報告されてきた T S V 加工技術などについても触れた。

#### 6) 半導体パッケージング向け先端基板技術の動向 (松木隆一氏 他、新光電気工業)

Chiplet 技術にむけた半導体パッケージ基板や有機インターポーザの開発動向について、主に信号伝送特性の観点からみた基板技術とその展望が述べられた。  $L/S=2/2\mu m$  を実現し DLL® 基板との組み合わせで 2.3D の Chiplet 構造を実現する i-THOP® が紹介された。また、数十 GHz 以上の伝送を見据えた光電融合パッケージの必要性も述べられた。

上記概要からわかるように、かつては別々に歩んできた BEOL と先端パッケージ技術の開発であるが、今日、過去から未来にわたる課題 (抵抗上昇、信号遅延や品質、消費電力、信頼性、統合的システム設計など) を共有し開発を進めることが重要である。前工程と後工程、プロセス技術とデバイス技術およびシステム設計技術など、複数の技術領域における知見や技術の相互理解と統合が益々重要になることを確信した。

本シンポジウムは Hybrid 形式で開催され、現地参加 99 名、オンライン 225 名、合計 324 名の参加をいただき大変盛況で、配線技術・パッケージング技術への関心の高さ、研究開発の活発化が伺える活気あるシンポジウムであった。40nm ノードで止まっていた日本の先端ロジックデバイス開発が JASM や Rapidus の始動により少なからず産学の興味や

期待を刺激していることは間違いない。今後もシリコンテクノロジー分科会とエレクトロニクス実装学会との連携を一層強化し本技術分野の発展に貢献したいと考える。

以上