



緒言 表題のシンポジウムが、応用物理学会と IEEE Electron Devices Society の共催、および IEEE Solid State Circuit Society の協賛により開催された。これは Symposium on VLSI Circuits と連携して、最先端 VLSI 技術領域のプロセス/デバイス技術や回路設計技術が一堂に報告される世界的にも特徴のある国際会議である。毎年日米交互に開催され、今年は 6 月 14 日～17 日にハワイ・ホノルルで開催された¹⁾。今年も Tech./Cir.間の相互連携を図るため 2 日間重複で開催し、相互聴講や Joint での rump session や Banquet が行われた。また 6 月 14 日には“Emerging Logic and Memory Technologies for VLSI implementation”に関するショートコースが行われ、150 名が参加した。さらにサテライトとして 6 月 13、14 日に 2010 Si Nanoelectronics Workshop も開催された。

本会議 本年の投稿論文数は 2008/2009 年の 201/203 件より若干多い 215 件で、36%の 78 件を採択した。特に大学の投稿が増えており、2008 年(ハワイ)と比べて 16%、2009 年(京都)と比較して 6%の増加となった。一方、参加者数は 2008/2009 年の 498/505 人より少ない 401 名であったが、後述のとおり活発な議論が行われた。

基調講演 IBM、T. J. Watson Research Center の Michael G. Rosenfield 氏より“The Smart Grid and Key Research Technical Challenges”と題して、次に京大・木本恒暢教授より“SiC Technologies for Future Energy Electronics”と題して講演があった。どちらも環境・エネルギーに関するため注目度が高く、技術革新の必要性・現実性を感じる格調高い講演であった。

Session 内容 Session 技術分類より今年も、極薄膜 SOI を含む先端 CMOS のセッションが 4 件と多く、同数で近年増加傾向の不揮発性メモリーや、続いて探索的デバイス、さらにばらつきやモデリ

<ぶらっくぼーど・会議報告>

ングのセッションが3件と多かった。また後述の設計容易性(Design Enablement: DE)や異種材料統合技術(Heterogeneous Integration: HI)のセッションが2件と多かった。

次に注目論文として、まずロジック分野では、Intel より Metal/High-k (M/Hk) gate 電極を用いた 32 nm 世代 RF/モバイル用 SOC 技術の発表があった。高性能/低リーク電流 nMOS においてそれぞれ遮断周波数 420/218 GHz を実現し、さらにノイズ除去回路、高 Q インダクター、パワーアンプ、バラクタなどのアナログ技術に言及した。また IBM グループより世界最小 0.063 um^2 FinFET 6T-SRAMセルの動作実証の発表があった。液侵 ArF 露光を用いて、2 回露光・2 回エッチングによるサイドウォール・イメージ・トランスファー技術により、ゲートピッチ 80 nm、Fin ピッチ 40 nm を実現したことによる。さらに東大より、III-V on Insulator MOSFET の発表があった。世界初となる埋め込み Al_2O_3 層/Si 基板上で III-V 族半導体 MOSFET の電子移動度として i-InGaAs チャネルで $3000 \text{ cm}^2/\text{Vs}$ 、p-InGaAs チャネルで $2000 \text{ cm}^2/\text{Vs}$ を実現し、さらに InGaAs/Box 界面の改善により、裏面ゲート構造で $4000 \text{ cm}^2/\text{Vs}$ を観測している。

次にメモリー分野では、三星より 32 nm 世代 3 ビット 32G バイト NAND フラッシュメモリーの発表があった。この大量生産技術をワンサイド・ダブル・パターンニング技術導入と書き換え耐性とデータ保持力を考慮した最適ゲート長/アクティブ長で設計したことにより世界に先駆けて開発している。また東芝より、不揮発性集積回路実現に向けたスピン MOSFET の発表があった。特性再構成可能な新規なスピン MOSFET を実証し、 10^5 回以上の書き込み耐性を有する磁気電流を確認している。一方、FPGA に応用した場合、クリティカルパス遅延が大幅改善することも計算で見積もっている。

次に 3D チップ積層・パッケージ分野では、imec より、ウェハー薄層化と Through Silicon Via (TSV) が及ぼす M/Hk gate CMOS への影響に関する発表があった。ウェハー薄層化/TSV 近接化によるひずみが、CMOS デバイスおよび低誘電率層間絶縁膜に影響を及ぼすことを実験的に明らかにしている。またパナソニックより、パッド領域のアセンブリー応力による M/Hk gate MOSFET への影響に関

<ぶらっくぼーど・会議報告>

する発表があった。フリップチップパッケージのバッド領域におけるアセンブリー応力の影響とその温度特性を精緻に調査し、さらにアセンブリー応力を30%まで削減可能な新規な構造も提案している。そのほかにも最先端技術が多数報告され、活発に議論された。

Focus sessions (FS) 昨今の半導体動向を鑑みた招待講演を中心に構成した。まず“Heterogeneous Integration”として、シリコン基板上でのシリコン以外のチャネル技術に関する5件の招待講演があり、GeチャネルpMOSFETとIII-V族nMOSFETを中心に、性能優位性と実現性に関して議論された。他方、“Design Enablement: DE (設計容易性)”として5件の招待講演があった。本会議では、デバイス企業とファウンドリ企業による協調設計の概念を含む技術領域を想定しており、新規技術による回路性能や製品性能向上に関して議論された。特に回路技術者の参加が多く、盛況であった。

Rump sessions (RS) 次に自由に討論を行うRSとして、Tech./Cir.のJointで“The next decade of VLSI Technology and Circuits -- is there a joint roadmap?”と題して、Technologyの単独で“The Future of Memory”と“What will end Moore's Law?”について、パネリストと聴衆との間で建設的に熱い議論が展開された。

結言 活発な討論の様子について示した。今年は堅調な投稿件数の一方、参加人数が減ったが、DE領域が盛況であったことが印象的である。今後は加えて、三次元集積化の議論が活発化すると思われる。2011年は6月13日～16日に京都で開催する予定で¹⁾、鋭意準備中である。特に3月下旬〆切でLate Newsを募集予定である。またサテライトとして、Si Nanoelectronics Workshop (6月12、13日)に加えて、スピントロニクスに関するWorkshop (6月13日)も開催予定である。業界の持続的な成長のためにも、積極的な論文投稿(2011年1月24日〆切)と多数参加をお願い申し上げる。

参考 1) <http://www.vlssymposium.org/index.html>